جامعة الموصل
كلية الهندسة

دراسة ومحاكاة مكبر متحسس ذات قدرة واطئة وسرعة عالية

أسماء سالم معيوف

رسالة ماجستيرعلوم
في الهندسة الكهربائية / إلكترونيك واتصالات
(الكترونيك)

بإشراف
الأستاذ المساعد
الدكتور لقمان سفر علي

1435 هـ 2014 م

الخلاصة

إن أداء المكبر المتحسس وقوته لهُ التأثير الكبير على سرعة الذاكرة وكذلك القدرة المستهلكة إذ يجب ان يكون بأقل قدرة استهلاك مع أسرع وقت للاستجابة. وسرعة المكبر المتحسس للفولتية تكون محددة باختلاف الفولتية على خطوط البت التي تعتمد على متسعة البت العالية للذاكرة الساكنة (SRAM). وتزداد القدرة الديناميكية مع زيادة اختلاف الفولتية مابين خطوط البت. وهذا البحث يعرض أنواعاً مختلفة للمكبرات المتحسسة فضلاً عن المكبر المتحسس للفولتية نوع المزلاج فانهُ يعرض المكبر المتحسس للتيار(المكبر المتحسس المثبت لخط البت) والمكبر المتحسس الناقل للشحنة وكذلك المكبر المتحسس الهجين التقليدي ومقارنتهم من حيث السرعة والقدرة المستهلكة مع المكبر المتحسس الهجين المقترح. وكذلك في هذا البحث صُممت دائرة الذاكرة الساكنة (6TSRAM) مع دائرة الشحن المسبق. وجميع الدوائر المصممة ذات التقنية CMOS 0.25µm .

وفي هذه الرسالة تم اختيار أنوع مختلفة من المكبرات المتحسسة باستخدام برنامج ADS2009. من خلال النتائج لوحظ بان زمن تأخر الاستجابة للمكبر المتحسس يعتمد على متسعة خط البت لخلية الذاكرة. وعند فصل هذه المتسعات عن الإخراج فان زمن تأخر الاستجابة سوف يقل بشكل كبير. كما صممّ المكبر المتحسس الهجين المقترح. وبّينت نتائج المحاكاة بان المكبر المتحسس الهجين المقترح يملك اقل قدرة استهلاك مع اقل تأخر بالاستجابة إذ إن القدرة المستهلكة له تساوي 23.328µW وزمن التأخير يساوي 0.25ns. لتقليل القدرة المستهلكة وُظفت تقنية (MTCMOS). ونتائج المحاكاة بينت بان القدرة المستهلكة تقل بمعدل 64.2% مع زيادة في تأخر الاستجابة بمعدل 39% بالمقارنة مع المكبر المتحسس الهجين المقترح.

والمكبر المتحسس الهجين المقترح هو أسرع بمعدل 80%-45 مقارنةً مع بقية المكبرات المتحسسة والقدرة المستهلكة هي اقل بمعدل 100%-13. ويكون هذا المكبر غير حساس لمتسعة خطوط البت ومتسعة خطوط نقل البيانات في حين يتأثر بزيادة متسعة الحمل. وأيضا عندما نقلل طول القناة فان كل من تأخر الاستجابة والقدرة المستهلكة سوف يقل.

Abstract

The performance and power of sense amplifiers have big implication on the speed of the memory as well as power consumption of sense amplifiers in low power and high speed system.

The speed of voltage sense amplifiers are limited by the differential voltage development time on high capacitance SRAM bit-lines. The dynamic power increases with the differential voltage that needs to be developed on the bit-lines. This thesis explores multiple sense amplifier techniques - in addition to the voltage latched sense amplifier, it analyzes current sense amplifier (Clamped bit-line SA), charge transfer sense amplifier as wells as conventional hybrid sense amplifier and compares them in speed and power consumption to the modified hybrid sense amplifier. This thesis also explores the design of a six transistor 6TSRAM bit cell with pre-charge circuit. All circuits are designed and simulated on a 0.25μm CMOS process.

In this thesis, several types of sense amplifiers were testing in advance design system 2009(ADS 2009). From these results it has been observed that delay of sense amplifier circuit is dependent mainly on the capacitance of the bit-lines from the memory cell. By isolating these bit-line capacitances the sensing delay can be reduced very much. The Modified hybrid SA was designed and from stimulant result we can observe that this design have less time delay and power consumption where the power consumption equal to 32.328μW and time delay equal to 0.25nsec, to decrease the power consumption we used MTCMOS technology, from simulate result we observe that the power consumption is less 64.2% and the delay time is increase 39%.

The modified hybrid sense amplifier has been about 45-87% faster than other sense amplifiers and power consumption has been about 13-100% less than other sense amplifiers. The modified hybrid sense amplifier is insensitive to the bit line and data line capacitors but it is sensitive to the load capacitor. And when the channel length decreases then the speed decreases and the power also decreases.

University of Mosul
College of Engineering

Study and Simulation of Low Power and High Speed Sense Amplifier

Asmaa Salim Mayoof

M.Sc. / Thesis

Electrical Engineering/

Electronics and Communications

(Electronics)

Supervised by

Assistant Professor

Dr. Luqman Sufer Ali

2014 A.D. **1435 A.H.**