

التصميم المعماري والتنفيذ لفاحص معدل خطأ البيانات على

حقل مصفوفة البوابات المبرمجة FPGA

رسالة تقدمت بها

زهراء صديق يحيى

إلى

مجلس كلية الهندسة في جامعة الموصل وهي جزء من متطلبات نيل شهادة
ماجستير علوم في الهندسة الكهربائية / إلكترونيك

بإشراف

الأستاذ المساعد

معن احمد شحادة

ملخص

شهدت مصفوفة البوابات القابلة للبرمجة حقلياً (FPGA Field Programmable Gate Array) زيادة استخدام من قبل الوسائط البينية للاتصالات (communication interfaces). مع هذه الزيادة أصبح من الضروري وجود وسائل لفحص ووصف صحيح لكل هذه الوسائط. يُعد معدل خطأ البت (BER bit error rate) واحداً من القياسات الأساسية لأداء نظم الاتصالات الرقمية.

تسعى هذه الرسالة إلى تقديم تصميم لفاحص معدل خطأ البت (BERT bit error rate tester) ذو امكانية جيدة لكشف أنواع الأخطاء المختلفة المتوقع حدوثها خلال عملية نقل البيانات. تم تنفيذ التصميم على رقاقة FPGA والتي تمتاز بسرعة تنفيذ مقارنة مع الطرق التقليدية، إذ يعد التنفيذ المادي باستخدام تقنية FPGA من المجالات المفضلة للكثير من المصممين والباحثين في الوقت الحاضر، وذلك لما تمتلكه من مزايا من ناحية المرونة في إعادة برمجتها وتهيئتها تبعاً لحاجة المستخدم، ولذلك اختيرت هذه التقنية في هذه الرسالة كبيئة تنفيذ لتصميم الفاحص.

مخطط تصميم الفاحص الذي تم تقديمه في هذه الرسالة يتكون من محور تصميم أساسي هو BERT، وذلك باستخدام برامجيات الماتلاب (MATLAB Simulink) أولاً، ومن ثم تركيب البرمجيات على رقاقة FPGA نوع Spartan-6 باستخدام برنامج ISE 14.2 ثانياً. حيث اظهرت نتائج قياس BER تطابقاً في كل من التمثيل البرمجي على الحاسوب وعند تنفيذها على رقاقة FPGA. يُعد استخدام هذا الفاحص مناسباً لقياس أداء BER لأنظمة الاتصالات الرقمية.

Abstract

Field Programmable Gate Array (FPGA) has witnessed an increased use of dedicated communication interfaces. With their increased use, it is becoming critical to test and properly characterize all such interfaces. Bit error rate (BER) characteristic is one of the basic measures of the performance of any digital communication system.

This thesis presents a scheme for BER testing in FPGAs, it showed good possibility to detect different types of errors expected to occur during the data transfer process.

Where the using of hardware emulation by FPGA is very interested for most researches and designers in present time, because it has properties such as flexibility in reprogramming it and prepare it according to the user need. So this technique is used in this thesis as an implementation environment to the proposed scheme.

The proposed scheme mainly consists of an essential scheme core: a bit error rate tester (BERT), by using MATLAB Simulink software in the beginning, then composition this software on FPGA chip (spartan-6 type) by using ISE 14.2 software.

The BER test results show very good agreement between software representation and the implementation on FPGA chip. It is appropriate to use this BERT to measure the BER performance of digital communications systems.

Architectural Design and Implementation of Bit Error Rate Tester on FPGA

A Thesis Submitted By
Zahraa Siddiq Yahya

To
The Council of the College of Engineering
University of Mosul

As a Partial Fulfillment to the Requirement
For The Degree of Master of Science
In
Electronic Engineering

Supervised By:

Assistant professor
Maan A. S. Al-Adwany

2016 A.C

1437 A.H