

University of Mosul
College of Engineering



Hardware Architecture Implementation of LDPC for Image Transmission

Zainab Ali Waad Abdul Rahman

M.Sc. Thesis

Science in Computer Engineering / Computer Engineering

Supervised by

Dr. Dhafir Abdul Fatah Abdul Qader

2024 A.D.

1445 A.H.

ABSTRACT

Image transmission in modern communication systems needs fast and low error coding and imperative transmission mechanisms. For engineers, dependable communication over a noisy channel is a long-standing but difficult problem. One of the important types of channel coding is Low-Density Parity-Check (LDPC) codes which consider Linear Block Codes (LBC). Due to their superior error-correcting ability, LDPC codes are among the most widely used Forward Error Correction (FEC) codes. The purpose of this thesis is to create transmitter channel encoder LDPC architectures, and the corresponding channel decoder in the receiver for image transmission. The study integrates the Effective Encoding of LDPC Codes algorithm for the encoder and the Bit flipping LDPC Codes algorithm for the decoder, Vivado HLS is the tool utilized in this work, The HLS loop unrolling optimizing technique used to give the synthesizer instructions on how to implement a particular code section, the designer can quickly and easily optimize the application, as a result, optimization is done directly on the source code. Additionally, it suggests applying optimization techniques like loop unrolling to every design. C programming language and High_level Synthesis (HLS) are used to create all architectures. Using Vivado Design Suite Package 3, the synthesizable code is simulated, and the Zynq-7000, ZC702 Evaluation Board part xc7z020clg484-1 kit, is utilized to implement the intended architectures. which, when applying algorithms to two different image sizes, improved the measurements obtained, including the speed of implementation, the reduction of latency, the improvement of throughput, and the general improvement of hardware parameters. We

note reduce of resources such as (flip-flop, Look-up Table, BRAM, multiplexer, and register). So, when the image size is 16×16 , the flip-flop for the Effective Encoding of LDPC Codes algorithm with using Loop unrolling directive where it is 232, and LUT is 623, and without using it FF is 440, and LUT is 1573. The FF for image size 256×256 if the Loop unrolling directive is also used, where it is 254, and LUT=682, then without it FF is 438 and LUT is 1462, and when the image size is 16×16 , the BF algorithm's throughput is 5.15 Mbps when the Loop Unrolling Directive is used, and 1.29 Mbps when it isn't. The Throughput for image size 256×256 when also when utilizing the Loop Unrolling Directive 15.8 Mbps, then Absent it Throughput is 1.29 Mbps.



جامعة الموصل

كلية الهندسة

تنفيذ معمارية الكيان المادي LDPC لغرض النقل الصوري

زينب علي وعد عبد الرحمن

رسالة ماجستير

علوم في هندسة الحاسوب / هندسة الحاسوب

بإشراف

الدكتور ظافر عبد الفتاح عبد القادر

الخلاصة

يحتاج نقل الصور في أنظمة الاتصالات الحديثة إلى تشفير أخطاء سريع ومنخفض وآليات نقل حتمية. يعد الاتصال الموثوق به عبر قناة صاخبة مشكلة قديمة ولكنها لا تزال تمثل تحديًا للمهندسين. أحد الأنواع المهمة لترميز القنوات هو رموز فحص التكافؤ منخفض الكثافة (LDPC) التي تأخذ في الاعتبار رموز الكتلة الخطية (LBC). تُستخدم رموز LDPC كأحد أكواد تصحيح الأخطاء الأمامية (FEC) الأكثر شيوعًا نظرًا لقدرتها الممتازة على تصحيح الأخطاء. الهدف من هذه الأطروحة هو تصميم معماريات LDPC في جهاز تشفير القناة في جهاز الإرسال وجهاز فك تشفير القناة المقابل في جهاز الاستقبال لنقل الصور. تدمج الدراسة خوارزمية التشفير الفعال لرموز LDPC لجهاز التشفير وخوارزمية Bit Flipping Codes LDPC لجهاز فك التشفير، Vivado HLS هي الأداة المستخدمة في هذا العمل، وتقنية HLS Loop Unrolling الأمثل المستخدمة لتوجيه المركب لتنفيذ قسم معين من التعليمات البرمجية بالطريقة المطلوبة، يمكن للمصمم تحسين التطبيق بسرعة وسهولة، ونتيجة لذلك، يتم التحسين مباشرة على التعليمات البرمجية المصدر. بالإضافة إلى ذلك، يقترح تطبيق تقنيات التحسين مثل فتح الحلقة على كل تصميم. يتم إنشاء جميع البنى باستخدام التوليف عالي المستوى (HLS) ولغة البرمجة. تتم محاكاة C الكود القابل للتوليف باستخدام Vivado Design Suite Package 3، ويتم استخدام مجموعة Zynq-7000 ، ZC702 ، Evaluation Board جزء xc7z020clg484-1 ، لتنفيذ البنى المصممة. مما أدى إلى تحسن في القياسات التي تم الحصول عليها، بما في ذلك زيادة في سرعة التنفيذ، وتقليل زمن الوصول، وتحسين الإنتاجية وتحسين معلمات الأجهزة بشكل عام عند تطبيق الخوارزميات على حجمين من الصورة. نلاحظ تقليل الموارد مثل (filp-flop) ، Luck-up Table ، BRAM ، multiplexer ، و register. لذلك، عندما يكون حجم الصورة 16*16، يكون التقلب لخوارزمية التشفير الفعال لأكواد LDPC باستخدام توجيه Loop unrolling حيث يكون 232، و LUT 623، وبدون استخدامه FF يكون 440، و LUT 1573 يكون FF لحجم الصورة 256*256 عند استخدام توجيه Loop unrolling أيضًا حيث يكون 254 و LUT=682، فبدونه FF يكون 438 و LUT يكون 1462، وعندما يكون حجم الصورة 16*16 فإن الإنتاجية لـ BF الخوارزمية باستخدام توجيه Loop unrolling حيث تبلغ 5.15 ميكابت في الثانية وبدون استخدامها تكون الإنتاجية 1.29 ميكابت في الثانية. الإنتاجية لحجم الصورة 256*256 عند استخدام توجيه Loop unrolling أيضًا حيث تكون 15.8 ميكابت في الثانية، ومن دونها تكون الإنتاجية 1.29 ميكابت في الثانية.