Ministry of Higher Education and Scientific Research
University of Mosul
College of Engineering
Computer Engineering Department

Design and Implementation of The Architecture of Low Density Parity Check Code

Arwa Hafidh Ali

M.Sc. / Thesis

Computer Engineering

Supervised by

Dr. Dhafir Abdul Fatah Abdul Qader

2021 A.D. **1443 A.H.**

ABSTRACT

Low-Density Parity-Check (LDPC) codes are used as one of the most popular Forward Error Correction (FEC) codes due to their excellent error-correcting capability, and their codes are Linear Block Codes (LBC). These codes have been forgotten for many years because of the computational requirements needed to achieve theoretical performance. The aim of this thesis is to design LDPC architectures in transmitter and receiver. Moreover, reliable communication over the noisy channel has been implemented by the hardware of LDPC code. This work has been designed and applied LDPC encoder, Bit Flipping (BF) decoder, and Min Sum (MS) decoder to investigate various performance metrics, such as the latency, the estimated time and the throughput. In addition, a mixed decoder model has been proposed, designed and implemented based on a merging of BF and MS algorithms. The tool used in this work is Vivado HLS. Using HLS, the designer can easily optimize the application using pragma directives to tell the synthesizer to implement a pointed section of the code in the desired manner; hence the optimization is performed directly on the source code. As well as, proposing to apply some optimization methods such as Array partitioning and Loop unrolling on all designs, All architectures are designed using High_level Synthesis (HLS) with a C programming language, the Xilinx release 2018.3 of Vivado Design Suite Package is used to simulate the synthesizable code and the designed architectures are implemented on the Zynq-7000, ZC702 Evaluation Board part xc7z020clg484-1 kit, which resulted in an improvement in the obtained measurements, including an

increase in the speed of implementation, decrease in the latency, enhancement in throughput and an improvement in hardware parameters in general. So, when the code length is 2000 bits, the Throughput for BF algorithm with using Loop unrolling directive where it is 16.908 Mbps and without using it is 1.98 Mbps. So, the improvement ratio for throughput is about 753.9%. Whereas the improvement ratio in Latency is 92.193%. The Throughput for MS algorithm when also using Loop unrolling directive where it is 12.4654 Kbps and without it is 9.697 Kbps. So, the improvement ratio for throughput is about 28.549%. Whereas the improvement ratio in Latency is 22.207%. The Throughput for Mixed decoder when using the same directive where it is 12.46 Kbps and without it is 9.636 Kbps. So, the improvement ratio for throughput is about 29.306%. Whereas the improvement ratio in Latency is 22.667%.

الملخص

تُستخدم رموز فحص التكافؤ منخفض الكثافة كأحد أنواع رموز تصحيح الخطأ المسبق الأكثر شيوعًا نظرًا لقدرتها الممتازة على تصحيح الأخطاء. و رموزها عبارة عن رموز كتلة خطية. لكن هذه الرموز تم نسيانها لسنوات عديدة بسبب المتطلبات الحسابية اللازمة لتحقيق الأداء النظري. يهدف هذا البحث إلى تصميم معماريات LDPC في المرسل والمستقبل. علاوة على ذلك، الاتصال الموثوق به عبر القناة التي تحتوي على ضوضاء يتم تنفيذه بواسطة رموز LDPC. في هذا العمل تم تصميم وتطبيق LDPC Encoder وخوارزميات فك التشفير BF و MS لإيجاد مقاييس الأداء المختلفة، مثل زمن الوصول والوقت المقدر والإنتاجية. ليس هذا فقط ولكن أيضًا، تم تصميم وتنفيذ نموذج وحدة فك ترميز مختلط بناءاً على دمج كل من خوارزمية BF و MS. الأداة المستخدمة في هذا العمل هي Vivado HLS. باستخدام HLS ، يمكن للمصمم تحسين التطبيق بسهولة باستخدام توجيهات pragma لإخبار المركب بتنفيذ قسم مدبب من الكود بالطريقة المرغوبة ؛ ومن ثم يتم إجراء التحسين مباشرة على شفرة المصدر. بالإضافة إلى اقتراح تطبيق بعض طرق التحسين مثل تقسيم المصفوفة وفتح الحلقة على جميع التصميمات، جميع البنى تم تصميمها باستخدام High_level Synthesis (HLS) مع لغة برمجة C ، يتم استخدام إصدار Xilinx 2018.3 من Vivado Design Suite Package لمحاكاة الكود القابل للتركيب ويتم تنفيذ البنى المصممة على لوحة التقييم Zynq-7000 وجزء 1 -xc7z020clg484 ZC702، مما أدى إلى تحسين القياسات التي تم الحصول عليها، بما في ذلك زيادة سرعة التنفيذ، وتقليل زمن الوصول ، تحسين الإنتاجية وتحسين في معلمات الأجهزة بشكل عام. لذلك عندما كان طول الكود 2000 بت، كان معدل نقل البيانات

لخوارزمية BF باستخدام توجيه Loop unrolling حيث كان 16.908 ميكابت في الثانية وبدون استخدامه 1.98 ميكابت في الثانية. لذلك ، كانت نسبة التحسين للإنتاجية حوالي 753.9٪. في حين بلغت نسبة التحسن في الكمون 92.193٪. معدل نقل البيانات لخوارزمية MS عند استخدام توجيه Loop unrolling حيث كان 12.4654 كيلوبت في الثانية وبدونه كان 9.697 كيلوبت في الثانية. لذلك ، كانت نسبة التحسين للإنتاجية حوالي 28.549٪. في حين بلغت نسبة التحسن في الكمون 22.207٪. معدل نقل البيانات لوحدة فك التشفير المختلطة عند استخدام نفس التوجيه حيث كان 12.46 كيلوبت في الثانية وبدون 9.636 كيلوبت في الثانية. لذلك ، كانت نسبة التحسين للإنتاجية حوالي 29.306٪. في حين بلغت نسبة التحسن في الكمون 22.667٪.

وزارة التعليم العالي والبحث العلمي
جامعة الموصل
كلية الهندسة
قسم هندسة الحاسوب

تصميم وتنفيذ معمارية فحص التكافؤ منخفض الكثافة

أروى حافظ علي

رسالة ماجستير
علوم في هندسة الحاسوب

بإشراف

الدكتور ظافر عبد الفتاح عبد القادر

1443 هـ 2021 م